

2622 #4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki FUKUDA, et al.

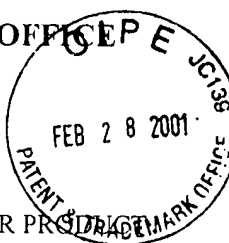
GAU: 2622

SERIAL NO: 09/735,649

EXAMINER:

FILED: December 14, 2000

FOR: METHOD AND APPARATUS FOR IMAGE PROCESSING, AND A COMPUTER PROGRAM



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

11-353974

December 14, 1999

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number.

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed; and

(B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

RECEIVED

MAR 02 2001

Technology Center 2000

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Best Available Copy



22850

09/735,644

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application: 1999年12月14日

願 番 号
Application Number: 平成11年特許願第353974号

願 人
Applicant(s): 株式会社リコー

RECEIVED

MAR 02 2001

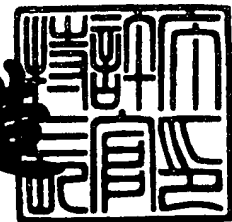
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3097212

【書類名】 特許願

【整理番号】 9901558

【提出日】 平成11年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 福田 拓章

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 波塚 義幸

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 宮崎 慎也

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 樽木 杉高

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 佐藤 多加子

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 石井 理恵

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 川本 啓之

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 宮崎 秀人

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 高橋 祐二

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 野水 泰之

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平 1 1 - 3 5 3 9 7 4

【物件名】 要約書 1

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

【特許請求の範囲】

【請求項 1】 画像に基づいて作成されたデジタル信号である画像データを頭像として出力できるように処理し、複数の画像形成動作を実現できるプログラマブルな画像処理手段と、

前記画像データを記憶する画像データ記憶部に対する画像データのアクセスを一括して管理する画像データ記憶管理手段と、

前記画像データを伝送するデータバスと前記画像処理手段による画像処理に用いられる処理ユニットとの間の画像データの伝送を一括して管理する画像データ伝送管理手段と、

を備え、

前記画像処理手段は、

SIMD (Single Instruction stream Multiple Data stream) 型のデータ演算手段と、

前記データ演算手段による画像処理に使用される複数のメモリーと、

前記複数のメモリーを制御するメモリーコントローラーと、

前記複数のメモリーの接続を制御するメモリースイッチと、

画像データを入出力する複数のデータバスと、

前記複数のデータバスと前記データ演算手段との接続を制御するバススイッチと、

前記データ演算手段を補助する補助演算手段と、

を備えたことを特徴とする画像処理装置。

【請求項 2】 前記メモリーコントローラーおよびメモリースイッチは、前記複数のメモリーを前記データ演算手段に対して選択的に接続し、前記複数の画像形成動作のうちの各画像形成動作にあてられるメモリー容量を変更することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記メモリーコントローラーおよびバススイッチは、前記複

数のデータベースを制御し、前記複数の画像形成動作のうちの各画像形成動作にあてられる画像データの転送幅を変更することを特徴とする請求項 1 または 2 に記載の画像処理装置。

【請求項 4】 前記補助演算手段のうちの少なくとも一つが、逐次演算処理を実行する非 SIMD 型の構成を有することを特徴とする請求項 1 ～ 3 のいずれか一つに記載の画像処理装置。

【請求項 5】 SIMD 型のデータ演算手段と、前記データ演算手段による画像処理に使用される複数のメモリーと、前記複数のメモリーを制御するメモリーコントローラーと、前記複数のメモリーの接続を制御するメモリースイッチとを有し、複数の画像形成動作を実現できるプログラマブルな画像処理手段上で、画像に基づくデジタル信号としての画像データを顕像として出力できるように処理する画像処理方法であって、

前記メモリーコントローラーおよびメモリースイッチによって前記複数のメモリーを前記データ演算手段に対して選択的に接続し、前記複数の画像形成動作のうちの各画像形成動作にあてられるメモリー容量を変更する容量変更工程を含んだことを特徴とする画像処理方法。

【請求項 6】 SIMD 型のデータ演算手段と、前記データ演算手段による画像処理に使用される複数のメモリーと、前記複数のメモリーを制御するメモリーコントローラーと、前記複数のメモリーの接続を制御するメモリースイッチと、画像データを入出力する複数のデータベースと、前記複数のデータベースと前記データ演算手段との接続を制御するバススイッチと、前記データ演算手段を補助する補助演算手段とを有し、複数の画像形成動作を実現できるプログラマブルな画像処理手段上で、画像に基づくデジタル信号としての画像データを顕像として出力できるように処理する画像処理方法であって、

前記メモリーコントローラーおよびバススイッチによって前記複数のデータベースと前記複数のメモリーとを制御し、前記複数の画像形成動作のうちの各画像形成動作にあてられる画像データの転送幅を変更するデータベース幅変更工程を含んだこと特徴とする画像処理方法。

【請求項 7】 前記請求項 5 および請求項 6 に記載された方法をコンピュー

タに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル信号で表される画像データに基づいて形成された画像を出力する画像処理装置、画像処理方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0002】

【従来の技術】

現在、コピー機、ファクシミリ、プリンター、スキャナーといった画像処理装置の複合機として構成された、いわゆるMFP (Multi Function Printer) と呼ばれる画像処理装置がある。このようなMFPの画像処理部に、SIMD (Single Instruction stream Multiple Data stream) 型の演算処理部と補助的な演算処理部とを組み合わせる使用することにより、高速、かつプログラマブルに画像を処理する技術が特開平9-282305号公報に記載されている。

【0003】

【発明が解決しようとする課題】

しかしながら、上記従来技術における画像処理装置にあっては、画像処理の内容に応じてSIMD型演算処理部と他の演算処理部とを使い分けることができるものの、演算処理に使用されるメモリー容量や入出力データのデータ幅は、画像処理の内容に応じて適正に変更されるものではない。このため、複数の画像形成動作を同時に実現する際に、画像処理装置の資源をより有効に活用するには未だ改善の余地がある。

【0004】

すなわち、たとえばコピー、あるいはファクシミリといった異なる画像形成動作を並行しておこなった場合、各々の画像形成動作（動作モード）のうち、より大きなメモリー容量を必要とする動作モードについてはメモリーが不足する。そ

の一方で、比較的小さなメモリー容量で済む動作モードについては、メモリーに必要以上の余裕が残るといったことが起こり得る。

【0005】

また、異なる動作モードの処理を並行しておこなった場合、各々の動作モードのうち、より大きなデータ転送幅を必要とする動作モードについては十分なデータ転送速度が得られない。その一方で、比較的小さなデータ転送幅で済む動作モードについては、必要以上の高速度でデータ転送がおこなわれるといったことも起こり得る。

【0006】

この発明は、上述した従来技術による問題点を解消するため、複数の動作モードにおける各動作モードのデータ形態に柔軟に対応することにより、多機能画像処理装置の資源の有効活用を図り、システム全体として最適な制御が可能な画像処理装置、画像処理方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

【0007】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項1に記載の発明にかかる画像処理装置は、画像に基づいて作成されたデジタル信号である画像データを顕像として出力できるように処理し、複数の画像形成動作を実現できるプログラマブルな画像処理手段と、前記画像データを記憶する画像データ記憶部に対する画像データのアクセスを一括して管理する画像データ記憶管理手段と、前記画像データを伝送するデータバスと前記画像処理手段による画像処理に用いられる処理ユニットとの間の画像データの伝送を一括して管理する画像データ伝送管理手段と、を備え、前記画像処理手段は、SIMD型のデータ演算手段と、前記データ演算手段による画像処理に使用される複数のメモリーと、前記複数のメモリーを制御するメモリーコントローラーと、前記複数のメモリーの接続を制御するメモリースイッチと、画像データを入出力する複数のデータバスと、前記複数のデータバスと前記データ演算手段との接続を制御するバススイッチと、前記データ

演算手段を補助する補助演算手段と、を備えたことを特徴とする。

【 0 0 0 8 】

この請求項 1 に記載の発明によれば、複数の画像形成動作を実現できる画像処理手段を有する画像処理装置に、このうちの画像処理を複数のデータに対して同時に実行する SIMD 型のデータ演算手段を設けることができる。

【 0 0 0 9 】

また、請求項 2 に記載の発明にかかる画像処理装置は、前記メモリーコントローラーおよびメモリースイッチは、前記複数のメモリーを前記データ演算手段に対して選択的に接続し、前記複数の画像形成動作のうちの各画像形成動作にあてられるメモリー容量を変更することを特徴とする。

【 0 0 1 0 】

この請求項 2 に記載の発明によれば、画像処理装置においておこなわれる各画像形成動作ごとに、使用されるメモリー容量を変更することができる。

【 0 0 1 1 】

また、請求項 3 に記載の発明にかかる画像処理装置は、前記メモリーコントローラーおよびバススイッチは、前記複数のデータバスを制御し、前記複数の画像形成動作のうちの各画像形成動作にあてられる画像データの転送幅を変更することを特徴とする。

【 0 0 1 2 】

この請求項 3 に記載の発明によれば、画像処理装置においておこなわれる各画像形成動作ごとに、画像データの転送幅を変更することができる。

【 0 0 1 3 】

また、請求項 4 に記載の発明にかかる画像処理装置は、前記補助演算手段のうちの少なくとも一つが、逐次演算処理を実行する非 SIMD 型の構成を有することを特徴とする。

【 0 0 1 4 】

この請求項 4 に記載の発明によれば、一つの画像処理装置が、 SIMD 型の演算手段と、非 SIMD 型の演算手段との両方を備えることができるようになる。

【 0 0 1 5 】

また、請求項 5 に記載の発明にかかる画像処理方法は、SIMD 型のデータ演算手段と、前記データ演算手段による画像処理に使用される複数のメモリーと、前記複数のメモリーを制御するメモリーコントローラーと、前記複数のメモリーの接続を制御するメモリースイッチとを有し、複数の画像形成動作を実現できるプログラマブルな画像処理手段上で、画像に基づくデジタル信号としての画像データを顕像として出力できるように処理する画像処理方法であって、前記メモリーコントローラーおよびメモリースイッチによって前記複数のメモリーを前記データ演算手段に対して選択的に接続し、前記複数の画像形成動作のうちの各画像形成動作にあてられるメモリー容量を変更する容量変更工程を含んだことを特徴とする。

【0016】

この請求項 5 に記載の発明によれば、複数の画像形成動作を実現できる画像処理装置において、このうちの画像処理を複数のデータに対して同時に実行することができる。また、画像処理装置においておこなわれる各画像形成動作ごとに、使用されるメモリー容量を変更することができる。

【0017】

また、請求項 6 に記載の発明にかかる画像処理方法は、SIMD 型のデータ演算手段と、前記データ演算手段による画像処理に使用される複数のメモリーと、前記複数のメモリーを制御するメモリーコントローラーと、前記複数のメモリーの接続を制御するメモリースイッチと、画像データを入出力する複数のデータバスと、前記複数のデータバスと前記データ演算手段との接続を制御するバススイッチと、前記データ演算手段を補助する補助演算手段とを有し、複数の画像形成動作を実現できるプログラマブルな画像処理手段上で、画像に基づくデジタル信号としての画像データを顕像として出力できるように処理する画像処理方法であって、前記メモリーコントローラーおよびバススイッチによって前記複数のデータバスと前記複数のメモリーとを制御し、前記複数の画像形成動作のうちの各画像形成動作にあてられる画像データの転送幅を変更するデータバス幅変更工程を含んだこと特徴とする。

【0018】

この請求項 6 に記載の発明によれば、複数の画像形成動作を実現できる画像処理装置において、このうちの画像処理を複数のデータに対して同時に実行することができる。また、画像処理装置においておこなわれる各画像形成動作ごとに、画像データの転送幅を変更することができる。

【 0 0 1 9 】

また、請求項 7 に記載の発明にかかる記憶媒体は、請求項 5 および 6 に記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムが機械読み取り可能となり、これによって、請求項 5 および 6 の動作をコンピュータによって実現することができる。

【 0 0 2 0 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる画像処理装置、画像処理方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体の好適な実施の形態を詳細に説明する。

【 0 0 2 1 】

まず、本実施の形態にかかる画像処理装置の原理について説明する。図 1 は、この発明の本実施の形態にかかる画像処理装置の構成を機能的に示すブロック図である。図 1 において、画像処理装置は、以下に示す 5 つのユニットを含む構成である。

【 0 0 2 2 】

上記 5 つのユニットとは、画像データ制御ユニット 1 0 0 と、画像データを読み取る画像読取ユニット 1 0 1 と、画像を蓄積する画像メモリーを制御して画像データの書き込み／読み出しをおこなう画像メモリー制御ユニット 1 0 2 と、画像データに対し加工編集等の画像処理を施す画像処理ユニット 1 0 3 と、画像データを転写紙等へ書き込む画像書込ユニット 1 0 4 と、である。

【 0 0 2 3 】

上記各ユニットは、画像データ制御ユニット 1 0 0 を中心に構成されている。すなわち、画像読取ユニット 1 0 1、画像メモリー制御ユニット 1 0 2、画像処理ユニット 1 0 3、画像書込ユニット 1 0 4 は、いずれも画像データ制御ユニッ

ト 1 0 0 に接続されている。以下、この各ユニットについて、それぞれ説明する。

【 0 0 2 4 】

(画像データ制御ユニット 1 0 0)

画像データ制御ユニット 1 0 0 によりおこなわれる処理としては以下のようなものがある。

【 0 0 2 5 】

- (1) データのバス転送効率を向上させるためのデータ圧縮処理 (一次圧縮)
 - (2) 一次圧縮データの画像データへの転送処理、
 - (3) 画像合成処理 (複数ユニットからの画像データを合成することが可能である。また、データバス上での合成も含む。)、
 - (4) 画像シフト処理 (主走査および副走査方向の画像のシフト)、
 - (5) 画像領域拡張処理 (画像領域を周辺へ任意量だけ拡大することが可能)
 - (6) 画像変倍処理 (たとえば、5 0 % または 2 0 0 % の固定変倍)、
 - (7) パラレルバス・インターフェース処理、
 - (8) シリアルバス・インターフェース処理 (後述するプロセス・コントローラ 2 1 1 とのインターフェース)、
 - (9) パラレルデータとシリアルデータのフォーマット変換処理、
 - (1 0) 画像読取ユニット 1 0 1 とのインターフェース処理、
 - (1 1) 画像処理ユニット 1 0 3 とのインターフェース処理、
- 等である。

【 0 0 2 6 】

(画像読取ユニット 1 0 1)

画像読取ユニット 1 0 1 によりおこなわれる処理としては以下のようなものがある。

【 0 0 2 7 】

- (1) 光学系による原稿反射光の読み取り処理、

- (2) CCD (Charge Coupled Device : 電荷結合素子) での電気信号への変換処理、
- (3) A/D変換器でのデジタル化处理、
- (4) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
- (5) スキャナー γ 補正処理 (読み取り系の濃度特性を補正する処理)、
- 等である。

【0028】

(画像メモリー制御ユニット102)

画像メモリー制御ユニット102によりおこなわれる処理としては以下のよう
なものがある。

【0029】

- (1) システム・コントローラーとのインターフェース制御処理、
- (2) パラレルバス制御処理 (パラレルバスとのインターフェース制御処理)
- 、
- (3) ネットワーク制御処理、
- (4) シリアルバス制御処理 (複数の外部シリアルポートの制御処理)、
- (5) 内部バスインターフェース制御処理 (操作部とのコマンド制御処理)、
- (6) ローカルバス制御処理 (システム・コントローラーを起動させるための
ROM、RAM、フォントデータのアクセス制御処理)、
- (7) メモリー・モジュールの動作制御処理 (メモリー・モジュールの書き込
み/読み出し制御処理等)、
- (8) メモリー・モジュールへのアクセス制御処理 (複数のユニットからのメ
モリー・アクセス要求の調停をおこなう処理)、
- (9) データの圧縮/伸張処理 (メモリー有効活用のためのデータ量の削減す
るための処理)、
- (10) 画像編集処理 (メモリー領域のデータクリア、画像データの回転処理、
メモリー上での画像合成処理等)、
- 等である。

【0030】

(画像処理ユニット 1 0 3)

画像処理ユニット 1 0 3 によりおこなわれる処理としては以下のようなものがある。

【 0 0 3 1 】

- (1) シェーディング補正処理 (光源の照度分布ムラを補正する処理)、
- (2) スキャナー γ 補正処理 (読み取り経の濃度特性を補正する処理)、
- (3) M T F 補正処理、
- (4) 平滑処理、
- (5) 主走査方向の任意変倍処理、
- (6) 濃度変換 (γ 変換処理 : 濃度ノッチに対応)、
- (7) 単純多値化処理、
- (8) 単純二値化処理、
- (9) 誤差拡散処理、
- (1 0) ディザ処理、
- (1 1) ドット配置位相制御処理 (右寄りドット、左寄りドット)、
- (1 2) 孤立点除去処理、
- (1 3) 像域分離処理 (色判定、属性判定、適応処理)、
- (1 4) 密度変換処理、

等である。

【 0 0 3 2 】

(画像書込ユニット 1 0 4)

画像書込ユニット 1 0 4 によりおこなわれる処理としては以下のようなものがある。

【 0 0 3 3 】

- (1) エッジ平滑処理 (ジャギー補正処理)、
- (2) ドット再配置のための補正処理、
- (3) 画像信号のパルス制御処理、
- (4) パラレルデータとシリアルデータのフォーマット変換処理、

等である。

【 0 0 3 4 】

(デジタル複合機のハードウェア構成)

つぎに、本実施の形態にかかる画像処理装置がデジタル複合機を構成する場合のハードウェア構成について説明する。図 2 は本実施の形態にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【 0 0 3 5 】

図 2 のブロック図において、本実施の形態にかかる画像処理装置は、読取ユニット 2 0 1 と、センサー・ボード・ユニット 2 0 2 と、画像データ制御部 2 0 3 と、画像処理プロセッサ 2 0 4 と、ビデオ・データ制御部 2 0 5 と、作像ユニット (エンジン) 2 0 6 とを備える。また、本実施の形態にかかる画像処理装置は、シリアルバス 2 1 0 を介して、プロセス・コントローラ 2 1 1 と、RAM 2 1 2 と、ROM 2 1 3 とを備える。

【 0 0 3 6 】

上記した構成のうち、画像処理プロセッサ 2 0 4 は、画像に基づいて作成されたデジタル信号である画像データを顕像として出力できるように処理し、複数の画像形成動作を実現できるプログラマブルな画像処理手段である。また、画像データ制御部 2 0 3 は、画像データを伝送するデータバスと画像処理プロセッサ 2 0 4 による画像処理に用いられる処理ユニットとの間の画像データの伝送を一括して管理する画像データ伝送管理手段である。なお、本発明は、画像処理プロセッサ 2 0 4 にかかるもので、画像処理プロセッサ 2 0 4 の構成については、図 3 以降の図面を用いて詳細に説明するものとする。

【 0 0 3 7 】

また、本実施の形態にかかる画像処理装置は、パラレルバス 2 2 0 を介して、画像メモリー・アクセス制御部 2 2 1 とファクシミリ制御ユニット 2 2 4 とを備え、さらに、画像メモリー・アクセス制御部 2 2 1 に接続されるメモリー・モジュール 2 2 2 と、システム・コントローラ 2 3 1 と、RAM 2 3 2 と、ROM 2 3 3 と、操作パネル 2 3 4 とを備える。このような構成のうち、画像メモリー・アクセス制御部 2 2 1、メモリー・モジュール 2 2 2 が、RAM 2 1 2、ROM 2 1 3 に対する画像データのアクセスを一括して管理する画像データ記憶管理

手段である。

【0038】

ここで、上記各構成部と、図1に示した各ユニット100～104との関係について説明する。すなわち、読取ユニット201およびセンサー・ボード・ユニット202により、図1に示した画像読取ユニット101の機能を実現する。また同様に、画像データ制御部203により、画像データ制御ユニット100の機能を実現する。また同様に、画像処理プロセッサ204により画像処理ユニット103の機能を実現する。

【0039】

また同様に、ビデオ・データ制御部205および作像ユニット（エンジン）206により画像書込ユニット104を実現する。また同様に、画像メモリー・アクセス制御部221およびメモリー・モジュール222により画像メモリー制御ユニット102を実現する。

【0040】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読取ユニット201は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

【0041】

受光素子、たとえばCCDは、センサー・ボード・ユニット202に搭載され、CCDにおいて電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット202から出力（送信）される。

【0042】

センサー・ボード・ユニット202から出力（送信）された画像データは画像データ制御部203に入力（受信）される。機能デバイス（処理ユニット）およびデータバス間における画像データの伝送は画像データ制御部203がすべて制御する。

【0043】

画像データ制御部203は、画像データに関し、センサー・ボード・ユニット202、パラレルバス220、画像処理プロセッサ204間のデータ転送、画

像データに対するプロセス・コントローラ 2 1 1 と画像処理装置の全体制御を司るシステム・コントローラ 2 3 1 との間の通信をおこなう。また、RAM 2 1 2 はプロセス・コントローラ 2 1 1 のワークエリアとして使用され、ROM 2 1 3 はプロセス・コントローラ 2 1 1 のブートプログラム等を記憶している。

【0 0 4 4】

センサー・ボード・ユニット 2 0 2 から出力（送信）された画像データは、画像データ制御部 2 0 3 を経由して画像処理プロセッサ 2 0 4 に転送（送信）され、光学系およびデジタル信号への量子化にともなう信号劣化（スキャナー系の信号劣化とする）を補正し、再度、画像データ制御部 2 0 3 へ出力（送信）される。

【0 0 4 5】

画像メモリー・アクセス制御部 2 2 1 は、メモリー・モジュール 2 2 2 に対する画像データの書き込み／読み出しを制御する。また、パラレルバス 2 2 0 に接続される各構成部の動作を制御する。また、RAM 2 3 2 はシステム・コントローラ 2 3 1 のワークエリアとして使用され、ROM 2 3 3 はシステム・コントローラ 2 3 1 のブートプログラム等を記憶している。

【0 0 4 6】

操作パネル 2 3 4 は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類（複写、ファクシミリ送信、画像読込、プリント等）および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット 2 2 4 の内容については後述する。

【0 0 4 7】

つぎに、読み取った画像データには、メモリー・モジュール 2 2 2 に蓄積して再利用するジョブと、メモリー・モジュール 2 2 2 に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール 2 2 2 に蓄積する例としては、1 枚の原稿について複数枚を複写する場合に、読取ユニット 2 0 1 を 1 回だけ動作させ、読取ユニット 2 0 1 により読み取った画像データをメモリー・モジュール 2 2 2 に蓄積し、蓄積された画像データを複数回読み出すという方

法がある。

【0048】

メモリー・モジュール 2 2 2 を使わない例としては、1 枚の原稿を 1 枚だけ複写する場合に、読み取り画像データをそのまま再生すればよいので、画像メモリー・アクセス制御部 2 2 1 によるメモリー・モジュール 2 2 2 へのアクセスをおこなう必要はない。

【0049】

まず、メモリー・モジュール 2 2 2 を使わない場合、画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送されたデータは、再度画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 へ戻される。画像処理プロセッサ 2 0 4 においては、センサー・ボード・ユニット 2 0 2 における CCD による輝度データを面積階調に変換するための画質処理をおこなう。

【0050】

画質処理後の画像データは画像処理プロセッサ 2 0 4 からビデオ・データ制御部 2 0 5 に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【0051】

つぎに、メモリー・モジュール 2 2 2 に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流について説明する。画像処理プロセッサ 2 0 4 から画像データ制御部 2 0 3 へ転送された画像データは、画像データ制御部 2 0 3 からパラレルバス 2 2 0 を経由して画像メモリー・アクセス制御部 2 2 1 に送られる。

【0052】

ここでは、システム・コントローラ 2 3 1 の制御に基づいて画像データとメモリー・モジュール 2 2 2 のアクセス制御、外部 PC（パーソナル・コンピュータ）2 2 3 のプリント用データの展開、メモリー・モジュール 2 2 2 の有効活用のための画像データの圧縮／伸張をおこなう。

【0053】

画像メモリー・アクセス制御部 2 2 1 へ送られた画像データは、データ圧縮後メモリー・モジュール 2 2 2 へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部 2 2 1 からパラレルバス 2 2 0 を経由して画像データ制御部 2 0 3 へ戻される。

【 0 0 5 4 】

画像データ制御部 2 0 3 から画像処理プロセッサ 2 0 4 への転送後は画質処理、およびビデオ・データ制御部 2 0 5 でのパルス制御をおこない、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 5 5 】

画像データの流れにおいて、パラレルバス 2 2 0 および画像データ制御部 2 0 3 でのバス制御により、デジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサ 2 0 4 にて画像処理を実施し、画像データ制御部 2 0 3 およびパラレルバス 2 2 0 を経由してファクシミリ制御ユニット 2 2 4 へ転送する。ファクシミリ制御ユニット 2 2 4 にて通信網へのデータ変換をおこない、公衆回線 (P N) 2 2 5 へファクシミリデータとして送信する。

【 0 0 5 6 】

一方、受信されたファクシミリデータは、公衆回線 (P N) 2 2 5 からの回線データをファクシミリ制御ユニット 2 2 4 にて画像データへ変換され、パラレルバス 2 2 0 および画像データ制御部 2 0 3 を経由して画像処理プロセッサ 2 0 4 へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部 2 0 5 においてドット再配置およびパルス制御をおこない、作像ユニット 2 0 6 において転写紙上に再生画像を形成する。

【 0 0 5 7 】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読取ユニット 2 0 1、作像ユニット 2 0 6 およびパラレルバス 2 2 0 の使用権のジョブへの割り振りをシステム・コントローラ 2 3 1 およびプロセス・コントローラ 2 1 1 において制御する。

【0058】

プロセス・コントローラー 211 は画像データの流れを制御し、システム・コントローラー 231 はシステム全体を制御し、各リソースの起動を管理する。また、デジタル複合機の機能選択は操作パネル（操作部）234 において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

【0059】

システム・コントローラー 231 とプロセス・コントローラー 211 は、パラレルバス 220、画像データ制御部 203 およびシリアルバス 210 を介して相互に通信をおこなう。具体的には、画像データ制御部 203 内においてパラレルバス 220 とシリアルバス 210 とのデータ・インターフェースのためのデータフォーマット変換をおこなうことにより、システム・コントローラー 231 とプロセス・コントローラー 211 間の通信をおこなう。

【0060】

図 3 は、本発明の画像処理プロセッサ 204 の構成を説明するための図である。図示した画像処理プロセッサ 204 は、SIMD 型のデータ演算処理部 300 を有している。なお、SIMD とは、複数のデータに対し、単一の命令を並列に実行させるもので、複数の PE（プロセッサ・エレメント）より構成される。ここで、SIMD 型プロセッサの概略構成を図 4 に示し、説明する。

【0061】

SIMD 型プロセッサは、図 4 に示したように、それぞれの PE がデータを格納するレジスター (Reg) 401、他の PE のレジスターをアクセスするためのマルチプレクサー (MUX) 402、バレルシフター (Shift Exp and) 403、論理演算器 (ALU) 404、論理結果を格納するアキュムレーター (A) 405、アキュムレーター 405 の内容を一時的に退避させるテンポラリー・レジスター (F) 406 から構成される。

【0062】

各レジスター 401 はアドレスバスおよびデータバス（リード線およびワード線）に接続されており、処理を規定する命令コード、処理の対象となるデータを格納する。レジスター 401 の内容は論理演算器 404 に入力され、演算処理結

果はアキュムレータ-405に格納される。結果をPE外部に取り出すために、テンポラリー・レジスタ-406に一旦退避させる。テンポラリー・レジスタ-406の内容を取り出すことにより、対象データに対する処理結果が得られる。

【0063】

命令コードは各PEに同一内容で与え、処理の対象データをPEごとに異なる状態で与え、隣接PEのレジスタ-401の内容をマルチプレクサ-402において参照することで、演算結果は並列処理され、各アキュムレータ-405に出力される。

【0064】

たとえば、画像データ1ラインの内容を各画素ごとにPEに配置し、同一の命令コードで演算処理させれば、1画素ずつ逐次処理するよりも短時間で1ライン分の処理結果が得られる。特に、空間フィルタ処理、シェーディング補正処理はPEごとの命令コードは演算式そのもので、PE全てに共通に処理を実施することができる。

【0065】

図3において、画像処理プロセッサ-204は、さらに、このようなSIMD型のデータ演算処理部300の画像処理に使用される複数のメモリーであるRAM307と、このRAM307のそれぞれを制御するメモリーコントローラ-305a（図中メモコンAと記す）、またはメモリーコントローラ-305b（図中メモコンBと記す）と、RAM307の接続を制御するメモリースイッチ301a, 301b, 301c, 301dと、画像処理プロセッサ-204に画像データを入出力するデータ入出力用バス306a, 306b, 306c, 306d, 306eと、データ入出力用バス306a, 306b, 306c, 306d, 306eとデータ演算処理部300との接続を制御するバススイッチ302a, 302b, 302cを備えている。

【0066】

なお、データ入出力用バス306a, 306b, 306c, 306d, 306eには、画像データとともに、画像データ制御部203と授受される制御信号も入出力している。

【0067】

また、画像処理プロセッサ 204 は、このようなデータ演算処理部 300 を補助する補助演算処理部 309 a, 309 b を備えていて、このうちの少なくとも一つが、逐次演算処理を実行する非 SIMD 型の構成を有している。非 SIMD 型の補助演算処理部 309 a, 309 b は、SIMD 型のデータ演算処理部 300 では処理時間や工程数にとって不利な画像処理演算、たとえば、注目画素に対する周囲画素パターンを複数照らし合わせてマッチングさせる処理をおこなうように設けられた構成である。

【0068】

図 5 は、このような補助演算処理部の動作について具体的に説明する図である。本実施の形態では、補助演算処理部 309 a（補助演算処理部 309 b についても同様）を、IIR 型フィルタのシステム構成とした。図示したように、IIR 型フィルタで用いられる演算式は、以下のように表される。

【0069】

$$OD_n = (1 - K) \times OD_{n-1} + K \cdot ID_n \quad \dots \quad (1)$$

OD_n : 演算後の画素濃度

OD_{n-1} : 一つ前の画素データを用いての演算結果

ID_n : 現画素データ

【0070】

式 (1) および図 5 から明らかなように、演算後の濃度 OD_n は、一つ前の画素データを用いての演算結果 OD_{n-1} と現画素データ ID_n の値から求められる。一般的に IIR 型フィルタは、現画素より以前に処理された画素を用いた演算結果を使用して現画素についての演算をおこなう、いわゆる逐次変換をおこなうための専用の回路である。本実施の形態における画像処理装置では、このような構成を補助演算処理部 309 a と補助演算処理部 309 b との 2 つ持ち、SIMD 型のデータ演算処理部 300 と連携して画像処理をおこなうようにしている。

【0071】

補助演算処理部 309 a, 309 b がデータ演算処理部 300 と連携して画像

処理をおこなうことにより、画像処理プロセッサ 2 0 4 は、複雑な画像処理をも高速に処理することができる。また、補助演算処理部を複数設けることにより、複数の画像データに対して非 S I M D 型の補助演算処理部では不利な画像処理演算を同時に実行することができる。このため、本実施の形態における画像処理装置は、たとえばコピーやファクシミリとしての動作を並行しておこなう、マルチファンクション動作を実現することができる。

【 0 0 7 2 】

一方、データ演算処理部 3 0 0 には、演算処理を実行する図示しない C P U や、C P U の演算処理に用いられるプログラムなどを記憶する R O M 、演算結果を記憶する R A M を備えたメモリー部が設けられている。データ演算処理部 3 0 0 は、この C P U のプロセッサエレメント (P E) と外部とのデータインターフェースであるレジスタ R 0 ~ レジスタ R 2 3 を有している。

【 0 0 7 3 】

このうち、レジスタ R 0 ~ レジスタ R 1 9 は、レジスタ R 0 ~ レジスタ R 5 のブロックと、レジスタ R 6 、レジスタ R 7 のブロックと、レジスタ R 8 ~ レジスタ R 1 3 のブロックと、レジスタ R 1 4 ~ レジスタ R 1 9 のブロックとに分割されている。

【 0 0 7 4 】

そして、レジスタ R 0 ~ レジスタ R 5 は、メモリースイッチ 3 0 1 a に接続されるメモリーコントローラ 3 0 5 b によって使用される。レジスタ R 6 、レジスタ R 7 は、メモリースイッチ 3 0 1 b に接続されたメモリーコントローラ 3 0 5 b によって使用される。

【 0 0 7 5 】

また、レジスタ R 8 ~ レジスタ R 1 3 は、メモリースイッチ 3 0 1 c に接続されたメモリーコントローラ 3 0 5 b およびメモリーコントローラ 3 0 5 a によって使用され、レジスタ R 1 4 ~ レジスタ R 1 9 は、メモリースイッチ 3 0 1 d に接続されたメモリーコントローラ 3 0 5 a によって使用される。さらに、レジスタ R 2 0 、 R 2 1 は、補助演算処理部 3 0 9 a に、レジスタ R 2 2 、 R 2 3 は、補助演算処理部 3 0 9 b に使用される。

【0076】

また、バススイッチ302aは、データ演算処理部300のレジスタR0～レジスタR3を使用するメモリーコントローラー305bに接続する。バススイッチ302bは、レジスタR4、レジスタR5を使用するメモリーコントローラー305bに接続する。そして、バススイッチ302cは、レジスタR6～レジスタR9を使用するメモリーコントローラー305bに接続している。

【0077】

このように構成された画像処理プロセッサ204は、SIMD型のデータ演算処理部300に記憶されたプログラムにしたがい、以下のように動作する。本実施の形態の画像処理プロセッサ204は、データ入出力用バス306a, 306b, 306c, 306d, 306eを介して画像データ制御部203から画像データとともに制御信号を入力する。

【0078】

この制御信号および画像データは、バススイッチ302a, 302b, 302cを通じてメモリーコントローラー305a、メモリーコントローラー305bに入力する。そして、メモリーコントローラー305a, 305bから、レジスタR0～R13を介してデータ演算処理部300のCPUに入力する。

【0079】

一方、データ演算処理部300が内蔵するメモリー部には、コピー、あるいはファクシミリといった画像処理装置の動作モードに適したRAM307の接続モードが記憶されている。CPUは、画像データとともに入力した制御信号、あるいは画像データを入力したレジスタの番号に基づいて動作モードを判定し、この動作モードに適したRAM307の接続モードを選択する。そして、この接続モードのとおりRAM307がデータ演算処理部300と接続するよう、各レジスタにメモリーコントローラー制御用の所定の値を設定する。

【0080】

メモリーコントローラー305aおよびメモリーコントローラー305bは、この値を参照し、それぞれが接続するメモリースイッチ301a, 301b, 301cに対する制御信号を生成する。メモリースイッチ301a, 301b, 3

01cは、この制御信号にしたがってそれぞれ接続する複数のRAM307をデータ演算処理部300に対して選択的に接続し、各レジスタを使用するRAM307の容量を変更することによって各画像形成動作にあてられるメモリー容量を変更する。

【0081】

また、本実施の形態のデータ演算処理部300のCPUが内蔵するメモリー部には、画像処理装置の動作モードに適したバススイッチ302a, 302b, 302cによるデータ入出力用バス306a, 306b, 306c, 306d, 306eの接続モードが記憶されている。

【0082】

CPUは、画像データとともに入力した制御信号、あるいは画像データを入力したレジスタの番号に基づいて動作モードを判定し、この動作モードに適したバススイッチ302a, 302b, 302cの接続モードを選択する。そして、この接続モードのとおりバススイッチ302a, 302b, 302cがデータ入出力用バス306a, 306b, 306c, 306d, 306eをスイッチングするよう、各レジスタにメモリーコントローラー制御用の所定の値を設定する。

【0083】

メモリーコントローラー305a, 305bは、この値を参照し、直接、あるいはメモリースイッチ301a, 301b, 301cを介してバススイッチ302a, 302b, 302cに対する制御信号を生成し、出力する。バススイッチ302a, 302b, 302cは、この制御信号にしたがってそれぞれデータ入出力用バス306a, 306b, 306c, 306d, 306eを制御し、各レジスタに対するデータ入出力用バス306a, 306b, 306c, 306d, 306eのデータ転送幅（バス幅）を変更する。この処理により、各画像形成動作にあてられる画像データ入出力用バスのバス幅が変更される。

【0084】

以下、上述したRAMの接続モード、バススイッチの接続モードについて、具体的に説明する。

（RAMの接続モード）

以下、本実施の形態のRAMの接続モードを、

- (1) メモリースイッチ301a, 301c, 301dにおける接続モード
- (2) メモリースイッチ301bにおける接続モード

として説明する。

【0085】

(1) 図6は、メモリースイッチ301a～301dのうち、メモリースイッチ301bを除くメモリースイッチ301a, 301c, 301dにおけるRAM307の接続モードを示した図である。図示するように、本実施の形態のメモリースイッチ301a, 301c, 301dは、いずれもモードA～モードGの7つの接続モードを備えている。なお、この接続モードは、メモリースイッチ301a, 301c, 301dのいずれについても同様である。このため、ここではメモリースイッチ301aについてのみ説明し、メモリースイッチ301c, 301dの説明については、省略するものとする。

【0086】

「モードA」

モードAでは、レジスタR0～レジスタR5とメモリースイッチ301aとに接続された6個のメモリーコントローラ305bが2個ずつの3組に分けて使用され、各組のメモリーコントローラ305bは、それぞれ2個のRAM307と接続する。モードAでは、各組(R0, R1組、R2, R3組、R4, R5組)のレジスタに接続されるRAM307を、1個のRAM307に対してノーマルアクセスする(RAM1個ノーマルアクセスモード)、2個のRAM307を一つの記憶領域とし、この2個のRAM307に対して交互にアクセス(トグルアクセス)する(RAM1個トグルアクセスモード)、2個のRAM307に対してノーマルアクセスする(RAM2個ノーマルアクセスモード)の3通りのうちいずれか一つの方法で 사용할 ことができる。

【0087】

なお、トグルアクセスの指定は、データ演算処理部300が各レジスタにメモリーコントローラ制御用の所定の値を設定する際、RAMトグル指示ビットを書き込むことによっておこなわれる。なお、このような各組におけるRAM30

7に対するアクセス方法の組合せは、図7のように表される。

【0088】

より具体的に説明すれば、たとえば、レジスタR0、レジスタR1を使用するRAM307がいずれもRAM1個ノーマルアクセスモードに設定された場合、メモリスイッチ301aは、レジスタR0、レジスタR1にそれぞれ1個ずつRAM307を接続する。接続されたRAM307は、それぞれがデータ演算処理部300の画像処理に使用される1記憶領域として機能する。

【0089】

また、レジスタR0、レジスタR1を使用するRAM307がRAM1個トグルアクセスモードに設定された場合、メモリスイッチ301aは、2個のRAM307を共にレジスタR0に接続する。共にR0に接続されたRAM307は、メモリーコントローラ305b、メモリスイッチ301aによって交互に切り替えられ、データ演算処理部300の画像処理に使用される1記憶領域として機能する。

【0090】

さらに、レジスタR0、レジスタR1を使用する2つのRAM307がRAM2個ノーマルアクセスモードに設定された場合、各RAM307は、共にレジスタR0に接続されたものと同様に機能する。したがって、RAM2個ノーマルアクセスモード時には、RAM1個ノーマルアクセスモード時の2倍の記憶容量を持つRAMを一つのレジスタで使用するのと同様の効果を得ることができるようになる。

【0091】

モードB～Gは、データ演算処理部300にメモリーコントローラ305b、メモリスイッチ301aを介して接続される6個のRAM307の組合せを切り替えることにより、データ演算処理部300に接続されるRAM307の容量を変更するものである。

【0092】

「モードB」

モードBでは、図6のように、レジスタR0を2個のRAM307で使用する

。メモリスイッチ 301a は、この 2 個の RAM をレジスタ R0 と接続し、RAM 2 個ノーマルアクセスモードに設定する。また、レジスタ R1、レジスタ R3 は、それぞれ 1 個の RAM 307 に使用される。この各 RAM 307 は、RAM 1 個ノーマルアクセスモードに設定される。さらに、レジスタ R4、レジスタ R5 を使用する 2 つの RAM 307 は、図 6 で示した組合せで RAM 1 個ノーマルアクセスモード、RAM 2 個ノーマルアクセスモード、あるいは RAM 1 個トグルモードに設定される。

【0093】

「モード C」

モード C では、図 6 のように、レジスタ R0 を 4 個の RAM 307 で使用する。メモリスイッチ 301a は、この 4 個の RAM 307 を 2 個ずつ 2 組に分け、各組の RAM 307 でそれぞれトグルアクセスさせる（RAM 2 個トグルモード）ようにレジスタ R0 と接続する。また、レジスタ R4、レジスタ R5 を使用する 2 つの RAM 307 は、図 6 で示した組合せで RAM 1 個ノーマルアクセスモード、RAM 2 個ノーマルアクセスモード、あるいは RAM 1 個トグルモードに設定される。

【0094】

「モード D」

モード D では、図 6 のように、レジスタ R0 を 3 個の RAM 307 で使用するものとする。メモリスイッチ 301a は、この 3 個の RAM 307 のそれぞれを、それぞれがレジスタ R0 からノーマルアクセスされる（RAM 3 個ノーマルアクセスモード）ようレジスタ R0 と接続する。この方法により、モード D では、レジスタ R0 に RAM 307 の記憶領域の 3 倍の記憶領域を持った RAM を接続したのと同様の効果を得ることができる。

【0095】

また、モード D では、図 6 のように、レジスタ R2、レジスタ R3 を 2 個の RAM 307 で使用する。メモリスイッチ 301a は、この RAM 307 を、図 6 で示した組合せで RAM 1 個ノーマルアクセスモード、RAM 2 個ノーマルアクセスモード、あるいは RAM 1 個トグルモードに設定されるようレジスタ R2

、レジスタ R 3 と接続する。さらに、レジスタ R 4 は、1 個の RAM 3 0 7 で使用される。この RAM は、RAM 1 個ノーマルアクセスモードに設定される。

【0 0 9 6】

「モード E」

モード E では、図 6 のように、レジスタ R 0 を 3 個の RAM 3 0 7 で使用する。メモリースイッチ 3 0 1 a は、この 3 個の RAM 3 0 7 を RAM 3 個ノーマルアクセスモードに設定するようにレジスタ R 0 と接続する。そして、レジスタ R 1、レジスタ R 3、レジスタ R 4 をそれぞれ 1 個の RAM 3 0 7 で使用し、この RAM 3 0 7 をそれぞれ RAM 1 個ノーマルアクセスモードに設定する。

【0 0 9 7】

「モード F」

モード F では、図 6 のように、レジスタ R 0、レジスタ R 2 がそれぞれ 3 個の RAM 3 0 7 で使用される。そして、メモリースイッチ 3 0 1 a は、この 3 個の RAM 3 0 7 をいずれも RAM 3 個ノーマルアクセスモードに設定する。

【0 0 9 8】

「モード G」

モード G では、図 6 のように、レジスタ R 0 を 6 個の RAM 3 0 7 で使用する。そして、メモリースイッチ 3 0 1 a は、この 6 個の RAM 3 0 7 を 2 個ずつ 3 組に分け、各組の RAM 3 0 7 をトグルアクセスする（RAM 3 個トグルモード）ように 3 個の RAM 3 0 7 とレジスタ R 0 とを接続する。

【0 0 9 9】

（2）図 8 は、メモリースイッチ 3 0 1 b における RAM 3 0 7 の接続モードを示した図である。図示するように、本実施の形態のメモリースイッチ 3 0 1 b は、モード H ～モード J の 3 つの接続モードを備えている。メモリースイッチ 3 0 1 b に接続されたメモリーコントローラ 3 0 5 b は、データ演算処理部 3 0 0 のレジスタ R 6、レジスタ R 7 を使用する。

【0 1 0 0】

「モード H」

モード H では、図 8 に示すように、レジスタ R 6、レジスタ R 7 をそれぞれ 1

個のRAM 3 0 7が使用する。メモリスイッチ 3 0 1 bは、このRAM 3 0 7を、RAM 1 個ノーマルアクセスモードに設定する。

【0 1 0 1】

「モード I」

モード Iでは、図 8に示すように、レジスタ R 6を 2 個のRAM 3 0 7が使用する。メモリスイッチ 3 0 1 bは、このRAM 3 0 7を、RAM 1 個トグルアクセスモードに設定する。

【0 1 0 2】

「モード J」

モード Jでは、図 8に示すように、レジスタ R 6を 2 個のRAM 3 0 7が使用する。メモリスイッチ 3 0 1 bは、このRAM 3 0 7を、RAM 2 個ノーマルアクセスモードに設定する。

【0 1 0 3】

本実施の形態では、以上のようにして、データ演算処理部 3 0 0の各レジスタを使用するRAM 3 0 7の容量を変更する。この変更処理により、各レジスタを使用しておこなわれる画像処理の動作モードにあてられるRAM 3 0 7の容量が変更できる。このような処理によれば、画像処理に比較的大量の記憶容量を必要とする動作モードに多くのRAM 3 0 7をあてる一方、比較的画像処理に記憶容量を必要としない動作モードにあてられるRAM 3 0 7を抑えることができる。

【0 1 0 4】

したがって、以上述べた本実施の形態は、複数の動作モードを実現できるプログラマブルな画像処理装置において、RAM 3 0 7をこの動作モードに応じて最適に組み合わせ、画像処理装置に備えられたRAMを有効に活用することができる。

【0 1 0 5】

(データ入出力用バスの接続モード)

つぎに、本実施の形態のデータ入出力用バスの接続モードを、

- (1) バススイッチ 3 0 2 a, 3 0 2 cにおける接続モード
- (2) バススイッチ 3 0 2 bにおける接続モード

として説明する。

【0106】

(1) 図9は、バススイッチ302a～302cのうち、バススイッチ302a、302cにおけるデータバスの接続モードを示した図である。図示するように、本実施の形態のバススイッチ302a、302cは、いずれもモードK～モードUの11個の接続モードを備えている。なお、この接続モードは、バススイッチ302a、302cで同様であるため、ここではバススイッチ302aについてのみ説明し、バススイッチ302cについての説明は、省略するものとする。なお、以下の説明は、いずれもデータ入出力用バス306a、306bのうち、画像データの入出力について述べるものである。

【0107】

バススイッチ302aは、データ入出力用バス306a、306bと接続されている。データ入出力用バス306a、306bとデータ演算処理部300のPEとのインターフェースは、データ演算処理部300のレジスタR0～レジスタR3によっておこなわれる。このレジスタR0～レジスタR3がすべて8ビット幅のデータ転送幅を持つことから、バススイッチ302a、302cとPEとがデータの入出力をおこなう場合、入出力するデータは、メモリーコントローラ305bを介して8ビットデータに変換される。

【0108】

「モードK」

モードKでは、バススイッチ302aが、図9のようにデータ入出力用バス306a（図中データ入出力用バス0と記す）の下位8ビット、上位8ビットをそれぞれレジスタR0、レジスタR1に接続する。また、データ入出力用バス306b（図中データ入出力用バス1と記す）の下位8ビット、上位8ビットをそれぞれレジスタR2、レジスタR3に接続する。

【0109】

「モードL」

モードLでは、バススイッチ302aが、図9のようにデータ入出力用バス306a（図中データ入出力用バス0と記す）の下位8ビット、上位8ビットをそ

れぞれレジスタ R 0、レジスタ R 1 に接続する。また、データ入出力用バス 3 0 6 b（図中データ入出力用バス 1 と記す）の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 2 に接続する。

【0 1 1 0】

「モード M」

モード M では、バススイッチ 3 0 2 a が、図 9 のようにデータ入出力用バス 3 0 6 a（図中データ入出力用バス 0 と記す）の下位 8 ビット、上位 8 ビットをそれぞれレジスタ R 0、レジスタ R 1 に接続する。また、データ入出力用バス 3 0 6 b（図中データ入出力用バス 1 と記す）の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 3 に接続する。

【0 1 1 1】

「モード N」

モード N では、バススイッチ 3 0 2 a が、図 9 のようにデータ入出力用バス 3 0 6 a（図中データ入出力用バス 0 と記す）の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 0 に接続する。また、データ入出力用バス 3 0 6 b（図中データ入出力用バス 1 と記す）の下位 8 ビット、上位 8 ビットを、それぞれレジスタ R 2、レジスタ R 3 に接続する。

【0 1 1 2】

「モード O」

モード O では、バススイッチ 3 0 2 a が、図 9 のようにデータ入出力用バス 3 0 6 a（図中データ入出力用バス 0 と記す）の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 0 に接続する。また、データ入出力用バス 3 0 6 b（図中データ入出力用バス 1 と記す）の下位 8 ビット、上位 8 ビットを、いずれもレジスタ R 2 に接続する。

【0 1 1 3】

「モード P」

モード P では、バススイッチ 3 0 2 a が、図 9 のようにデータ入出力用バス 3 0 6 a（図中データ入出力用バス 0 と記す）の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 0 に接続する。また、データ入出力用バス 3 0 6 b（図中デー

タ入出力用バス 1 と記す) の下位 8 ビット、上位 8 ビットを、いずれもレジスタ R 3 に接続する。

【0114】

「モード Q」

モード Q では、バススイッチ 302 a が、図 9 のようにデータ入出力用バス 306 a (図中データ入出力用バス 0 と記す) の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 1 に接続する。また、データ入出力用バス 306 b (図中データ入出力用バス 1 と記す) の下位 8 ビット、上位 8 ビットを、それぞれレジスタ R 2、レジスタ R 3 に接続する。

【0115】

「モード R」

モード R では、バススイッチ 302 a が、図 9 のようにデータ入出力用バス 306 a (図中データ入出力用バス 0 と記す) の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 1 に接続する。また、データ入出力用バス 306 b (図中データ入出力用バス 1 と記す) の下位 8 ビット、上位 8 ビットを、いずれもレジスタ R 2 に接続する。

【0116】

「モード S」

モード S では、バススイッチ 302 a が、図 9 のようにデータ入出力用バス 306 a (図中データ入出力用バス 0 と記す) の下位 8 ビット、上位 8 ビットをいずれもレジスタ R 1 に接続する。また、データ入出力用バス 306 b (図中データ入出力用バス 1 と記す) の下位 8 ビット、上位 8 ビットを、いずれもレジスタ R 3 に接続する。

【0117】

「モード T」

モード T では、バススイッチ 302 a が、図 9 のようにデータ入出力用バス 306 a (図中データ入出力用バス 0 と記す) の下位 8 ビット、上位 8 ビットおよびデータ入出力用バス 306 b (図中データ入出力用バス 1 と記す) の下位 8 ビット、上位 8 ビットを、いずれもレジスタ R 0 に接続する。

【0118】

「モードU」

モードUでは、バススイッチ302aが、図9のようにデータ入出力用バス306a（図中データ入出力用バス0と記す）の下位8ビット、上位8ビットおよびデータ入出力用バス306b（図中データ入出力用バス1と記す）の下位8ビット、上位8ビットを、いずれもレジスタR1に接続する。

【0119】

(2) 図10は、バススイッチ302bにおけるデータ入出力用バス306a、306bの接続モードを示した図である。図示するように、本実施の形態のバススイッチ302bは、モードV～モードXの3つの接続モードを備えている。バススイッチ302bは、データ入出力用バス306cと接続されている。データ入出力用バス306cとデータ演算処理部300内部のPEとのインターフェースは、データ演算処理部300のレジスタR4、レジスタR5によっておこなわれる。

【0120】

このレジスタR4、レジスタR5についても、バススイッチ302bとPEとがデータの入出力をおこなう場合、入出力するデータは、メモリーコントローラ305bを介して8ビットデータに変換される。

【0121】

「モードV」

モードVでは、バススイッチ302aが、図10のようにデータ入出力用バス306c（図中データ入出力用バス2と記す）の下位8ビット、上位8ビットを、それぞれレジスタR4、レジスタR5に接続する。

【0122】

「モードW」

モードWでは、バススイッチ302aが、図10のようにデータ入出力用バス306c（図中データ入出力用バス2と記す）の下位8ビット、上位8ビットを、いずれもレジスタR4に接続する。

【0123】

「モードX」

モードXでは、バススイッチ302aが、図10のようにデータ入出力用バス306c（図中データ入出力用バス2と記す）の下位8ビット、上位8ビットを、いずれもレジスタR5に接続する。

【0124】

本実施の形態では、以上のようにして、データ演算処理部300の各レジスタに接続するバス幅を変更する。この変更処理により、各レジスタを使用しておこなわれる画像処理の動作モードにあてられるバス幅が変更できる。このような処理によれば、データ入出力用バスとRAMとの間のデータ転送幅を動作モードが最適化でき、複数の動作モードのうち、各動作モードにおいて入出力するデータの形態に柔軟に対応することができる。

【0125】

つぎに、以上説明した本実施の形態処理を、図11、図12、図13に示したフローチャートで説明する。このフローチャートのうち、図11は、RAMおよびデータ入出力用バス接続の処理全体を説明する図である。

【0126】

また、図12は、図11に示した処理のうち、メモリーコントローラーおよびメモリースイッチによっておこなわれるRAM接続の処理をより具体的に説明するフローチャート、図13は、メモリーコントローラーおよびバススイッチによっておこなわれるデータ入出力用バス接続の処理をより具体的に説明するフローチャートである。

【0127】

図11のフローチャートでは、まず、データ演算処理部300のCPUがメモリーコントローラー制御用の値を各レジスタに設定する（S1101）。メモリーコントローラー305a、あるいはメモリーコントローラー305bは、ステップS1101でレジスタに設定された設定値を判別し、メモリースイッチ301a、301b、301cを制御するための制御信号を生成する（S1102）。メモリースイッチ301a、301b、301cは、ステップS1102で生成された制御信号にしたがって、それぞれに接続されているRAM307をスイ

ッチングする (S1103)。

【0128】

また、メモリーコントローラー 305a、あるいはメモリーコントローラー 305bは、ステップ S1101でレジスタに設定された設定値を判別し、バススイッチ 302a, 302b, 302cを制御するための制御信号を生成する (S1104)。バススイッチ 302a, 302b, 302cは、ステップ S1102で生成された制御信号にしたがって、それぞれに接続されているデータ入出力用バス 306a, 306b, 306c, 306d, 306eをスイッチングし (S1105)、処理を終了する。

【0129】

また、図 12に示したフローチャートのように、メモリーコントローラー 305a, 305bは、データ演算処理部 300の各レジスタのうち、メモリーコントローラー制御用レジスタの設定値を判別する (S1201)。そして、この設定値に基づいて、各レジスタに接続され、このレジスタを使用する RAM 307のノーマルアクセス、トグルアクセスの設定の別を表すノーマル／トグル制御信号を発生する (S1202)。さらに、メモリーコントローラー 305a, 305bは、判別したレジスタの設定値に基づき、トグルアクセスモードに設定された RAM 307に対してトグル動作するトグル動作制御信号を生成する (S1203)。

【0130】

ノーマル／トグル制御信号、およびトグル動作制御信号は、メモリースwitch 301a, 301b, 301cに入力する。メモリースwitch 301a, 301b, 301cは、このような制御信号から RAM 307の接続モードを判定する (S1204)。そして、この接続モードに応じてトグル動作させるべき RAM 307に対してはトグル動作を実行するようスイッチングし (S1205)、接続モードに応じて RAM 307をデータ演算処理部 300の各レジスタと接続、あるいは分離 (スイッチング) して記憶領域を分離する (S1206)。

【0131】

また、図 13に示したフローチャートのように、メモリーコントローラー 30

5 a、3 0 5 bは、データ演算処理部 3 0 0 の各レジスタのうち、メモリーコントローラー制御用レジスタの設定値を判別（S 1 3 0 1）し、この判別結果に基づいてバススイッチ 3 0 2 a、3 0 2 b、3 0 2 cを制御するバススイッチ制御信号を生成する（S 1 3 0 2）。

【0 1 3 2】

このバススイッチ制御信号はバススイッチ 3 0 2 a、3 0 2 b、3 0 2 cに入力する。バススイッチ 3 0 2 a、3 0 2 b、3 0 2 cは、バススイッチ制御信号に基づいてデータ入出力用バス 3 0 6 a、3 0 6 b、3 0 6 cの接続モードを判定し（S 1 3 0 3）、この接続モードに応じてデータ入出力用バス 3 0 6 a、3 0 6 b、3 0 6 cとデータ演算処理部 3 0 0 の各レジスタとを接続、あるいは分離（スイッチング）する（S 1 3 0 4）。

【0 1 3 3】

なお、以上、本実施の形態で説明した画像処理方法は、あらかじめ用意されたプログラムをコンピュータで実行することにより実現される。このプログラムは、ハードディスク、フロッピーディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、上記記録媒体を介して、また伝送媒体として、インターネット等のネットワークを介して配布することができる。

【0 1 3 4】

【発明の効果】

以上説明したように、請求項 1 に記載の発明によれば、複数の画像形成動作の実現し、さらに、このうちの画像処理を複数のデータに対して同時に実行することが可能な画像処理装置が得られるという効果を奏する。

【0 1 3 5】

また、請求項 2 に記載の発明によれば、画像形成動作ごとに、使用されるメモリー容量を変更することにより、各画像形成動作で使用されるデータの形態に柔軟に対応してメモリーを有効に活用することができる。このため、システム全体として最適な制御が可能な画像処理装置が得られるという効果を奏する。

【0 1 3 6】

また、請求項 3 に記載の発明によれば、各画像形成動作ごとに、画像データの転送幅を変更することにより、各画像形成動作で使用するデータの形態に柔軟に対応してデータ入出力用のバスを有効に活用することができる。このため、システム全体として最適な制御が可能な画像処理装置が得られるという効果を奏する。

【0 1 3 7】

また、請求項 4 に記載の発明によれば、SIMD 型の演算手段と、非 SIMD 型の演算手段との両方を備えることができ、演算処理に適した演算手段を用いて処理を実行することができる。このため、演算処理の方式によらず、最適な制御が可能な画像処理装置が得られるという効果を奏する。

【0 1 3 8】

また、請求項 5 に記載の発明によれば、画像形成動作ごとに、使用されるメモリ容量を変更することにより、各画像形成動作で使用するデータの形態に柔軟に対応してメモリーを有効に活用することができる。このため、システム全体として最適な制御が可能な画像処理方法が得られるという効果を奏する。

【0 1 3 9】

また、請求項 6 に記載の発明によれば、各画像形成動作ごとに、画像データの転送幅を変更することにより、各画像形成動作で使用するデータの形態に柔軟に対応してデータ入出力用のバスを有効に活用することができる。このため、システム全体として最適な制御が可能な画像処理方法が得られるという効果を奏する。

【0 1 4 0】

また、請求項 7 に記載の発明にかかる記憶媒体によれば、請求項 5 および 6 に記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムを機械読み取り可能となり、これによって、請求項 5 および 6 の動作をコンピュータによって実現することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる画像処理装置の構成を機能的に示すブロック図である

【図 2】

本発明の実施の形態にかかる画像処理装置のハードウェア構成の一例を示すブロック図である。

【図 3】

本発明の実施の形態にかかる画像処理プロセッサの構成を示す説明図である。

【図 4】

一般的な SIMD 型の演算処理装置の構成を示す説明図である。

【図 5】

図 3 に示した補助演算処理部の動作について具体的に示す説明図である。

【図 6】

図 3 に示したメモリスイッチにおける RAM の接続モードを示した説明図である。

【図 7】

図 6 に示した RAM に対するアクセス方法の組合せを示す説明図である。

【図 8】

図 3 に示した他のメモリスイッチにおける RAM の接続モードを示す説明図である。

【図 9】

図 3 に示したバススイッチにおけるデータバスの接続モードを示す説明図である。

【図 10】

図 3 に示した他のバススイッチにおけるデータバスの接続モードを示す説明図である。

【図 11】

本発明の実施の形態にかかる画像処理方法のうち、RAM およびデータ入出力用バス接続の処理全体を示すフローチャートである。

【図 1 2】

本発明の実施の形態にかかる画像処理方法のうち、メモリーコントローラーおよびメモリースイッチによっておこなわれるRAM接続の処理をより具体的に説明するフローチャートである。

【図 1 3】

本発明の実施の形態にかかる画像処理方法のうち、メモリーコントローラーおよびバススイッチによっておこなわれるデータ入出力用バス接続の処理をより具体的に説明するフローチャートである。

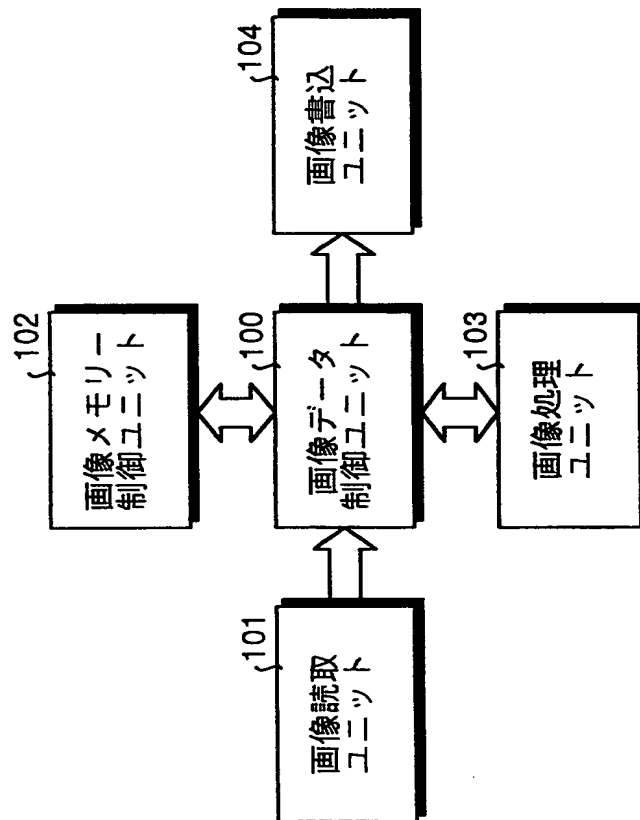
【符号の説明】

- 1 0 0 画像データ制御ユニット
- 1 0 1 画像読み取りユニット
- 1 0 2 画像メモリー制御ユニット
- 1 0 3 画像処理ユニット
- 1 0 4 画像書込ユニット
- 2 0 1 読取ユニット
- 2 0 2 センサー・ボード・ユニット
- 2 0 3 画像データ制御部
- 2 0 4 画像処理プロセッサ
- 2 0 5 ビデオ・データ制御部
- 2 1 0 シリアルバス
- 2 1 1 プロセス・コントローラー
- 2 2 0 パラレルバス
- 2 2 1 画像メモリー・アクセス制御部
- 2 2 2 メモリー・モジュール
- 2 2 4 ファクシミリ制御ユニット
- 2 3 1 システム・コントローラー
- 2 3 4 操作パネル
- 3 0 0 データ演算処理部
- 3 0 1 a, 3 0 1 b, 3 0 1 c, 3 0 1 d メモリースイッチ

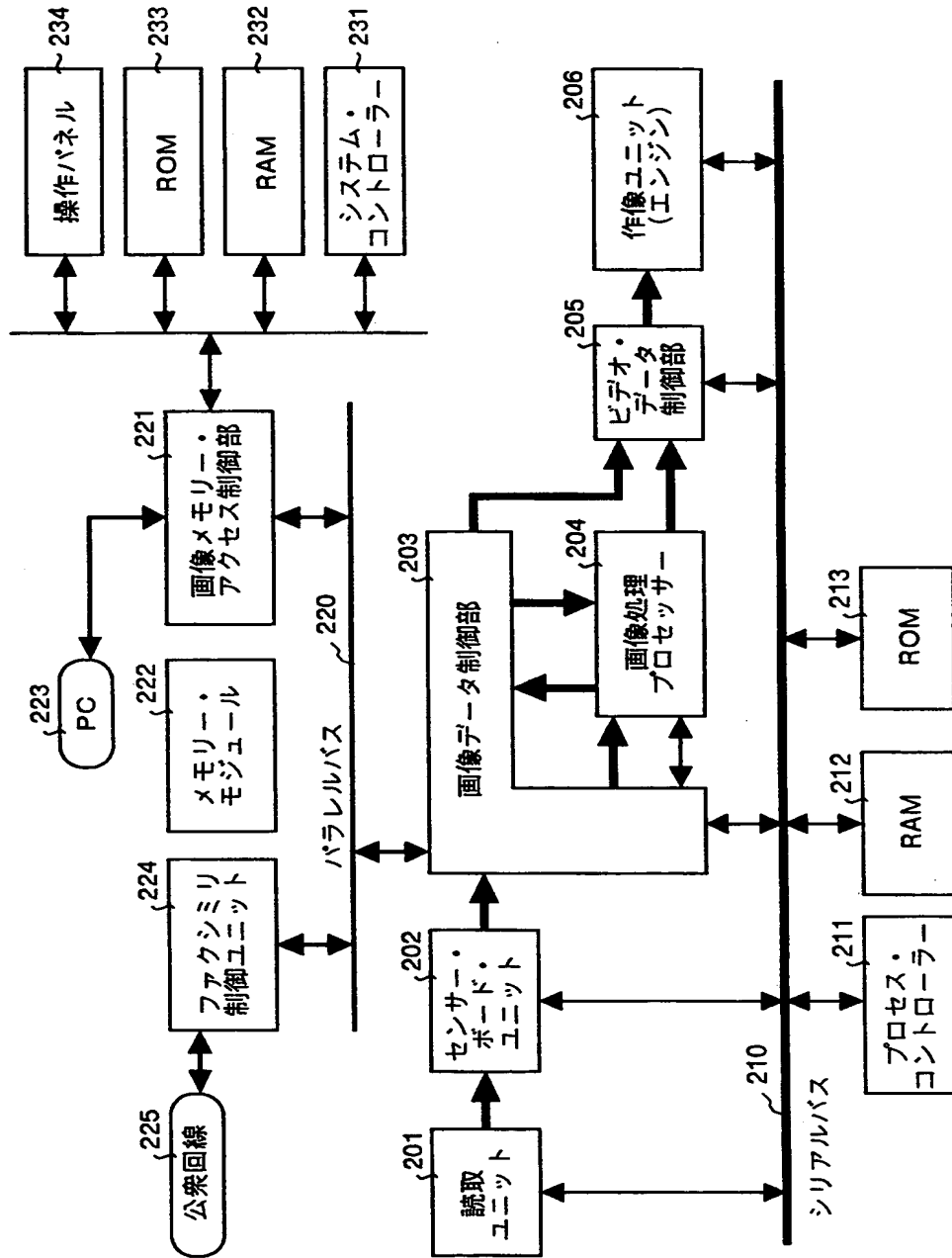
302 a, 302 b, 302 c バススイッチ
305 a, 305 b メモリーコントローラー
306 a, 306 b, 306 c, 306 d, 306 e データ入出力用バス
307 RAM
309 a, 309 b 補助演算処理部
401 レジスター
402 マルチプレクサー
403 バレルシフター
404 論理演算器
405 アキュムレーター
406 テンポラリー・レジスター

【書類名】 図面

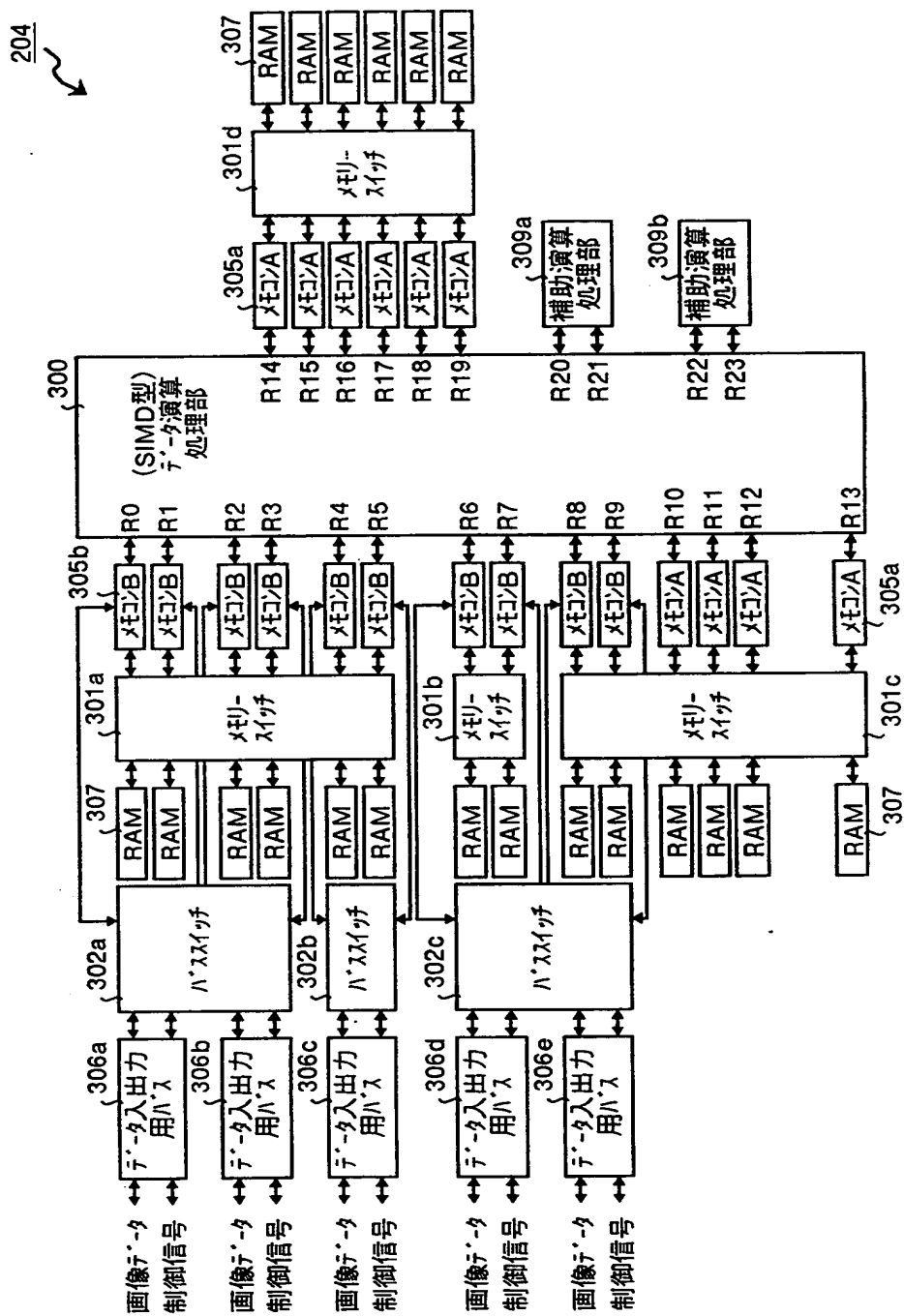
【図 1】



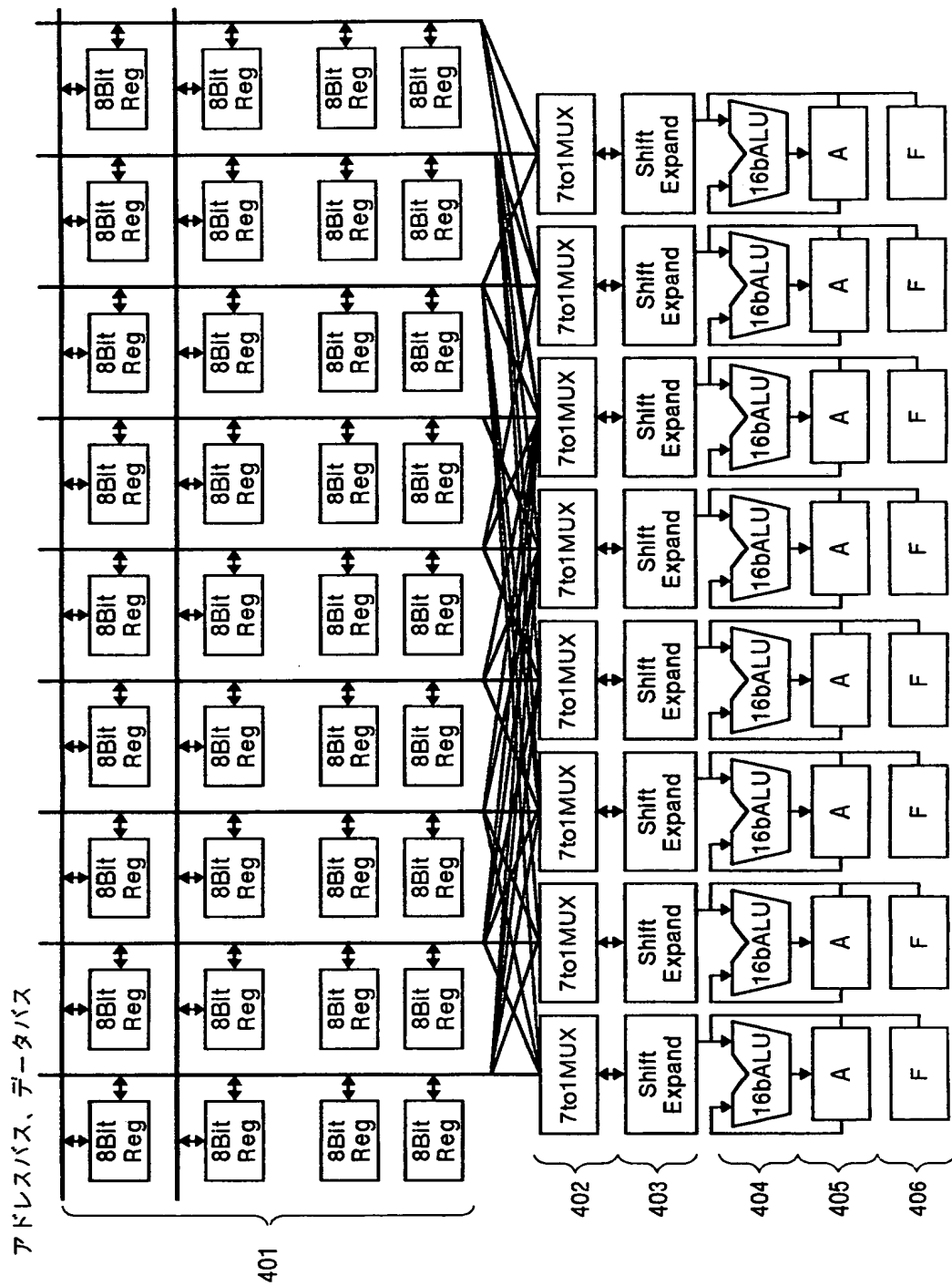
【図 2】



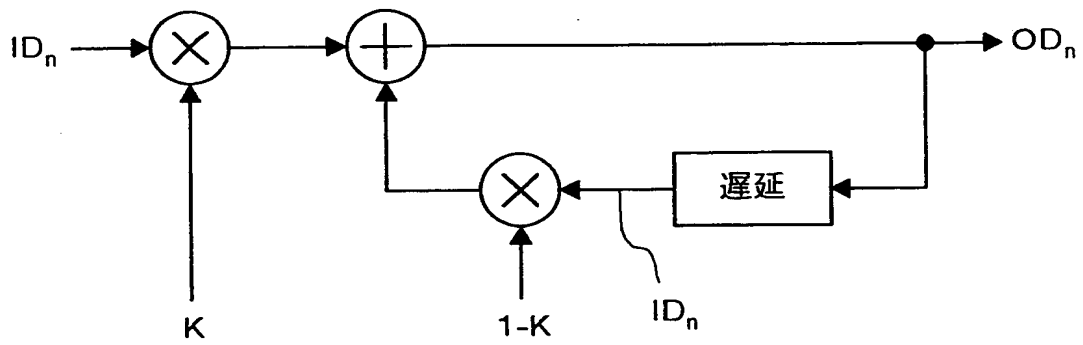
【図 3】



【図 4】



【図 5】



【図 6】

モード	レジスタ0(R0)	レジスタ1(R1)	レジスタ2(R2)	レジスタ3(R3)	レジスタ4(R4)	レジスタ5(R5)
A	RAM2個／ノーマル ノーマル／トグル	RAM2個 ノーマル	RAM1個／ノーマル ノーマル／トグル	RAM2個 ノーマル	RAM1個／ノーマル ノーマル／トグル	RAM2個 ノーマル
B	RAM2個 ノーマル	RAM1個 ノーマル	—	RAM1個 ノーマル	RAM1個／ノーマル ノーマル／トグル	RAM2個 ノーマル
C	RAM2個 トグル	—	—	—	RAM1個／2個 ノーマル／トグル	—
D	RAM3個 ノーマル	—	RAM1個／ノーマル ノーマル／トグル	RAM2個 ノーマル	RAM1個 ノーマル	—
E	RAM3個 ノーマル	RAM1個 ノーマル	—	RAM1個 ノーマル	RAM1個 ノーマル	—
F	RAM3個 ノーマル	—	RAM3個 ノーマル	—	—	—
G	RAM3個 トグル	—	—	—	—	—

【図 7】

レジスタ0,2,4 (R0,R2,R4)	レジスタ1,3,5 (R1,R3,R5)
RAM1個ノーマル	RAM1個ノーマル
RAM1個トグル	—
RAM2個ノーマル	—

【図 8】

モード	レジスタ6 (R6)	レジスタ7 (R7)
H	RAM1個ノーマル	RAM1個ノーマル
I	RAM1個トグル	—
J	RAM2個ノーマル	—

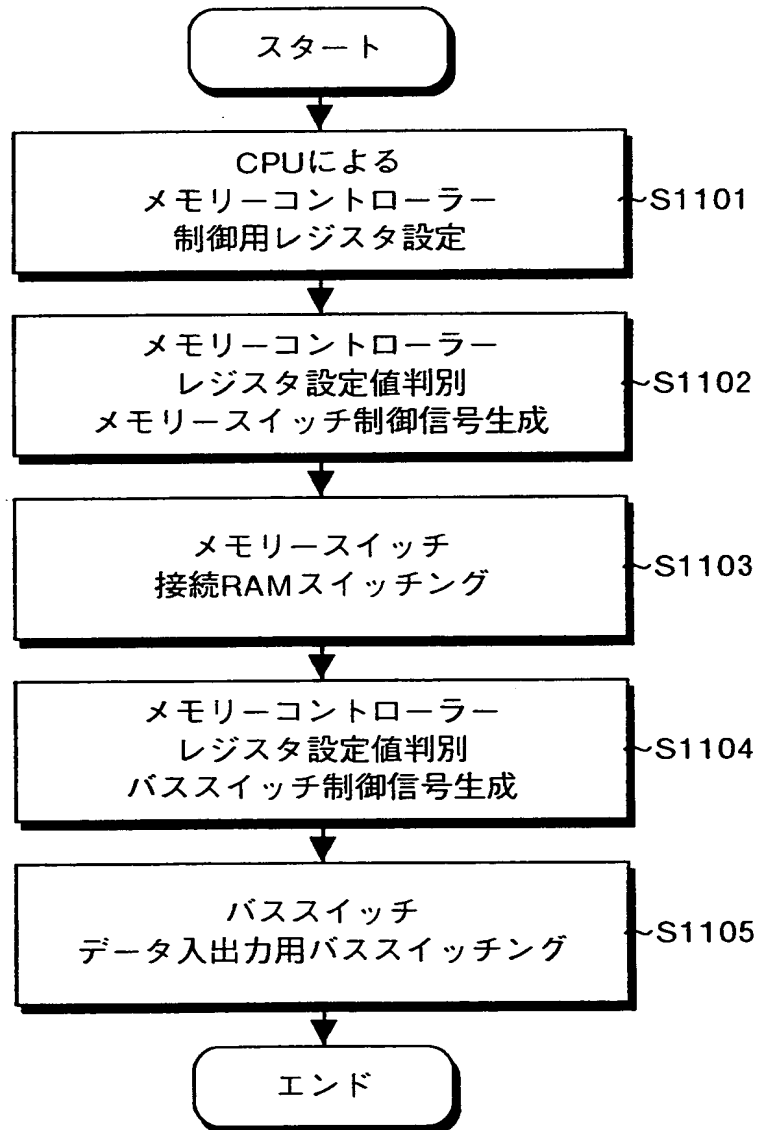
【図 9】

モード	レジスタ0(R0) 入出力	レジスタ1(R1) 入出力	レジスタ2(R2) 入出力	レジスタ3(R3) 入出力
K	データ入出力用 バス0下位8bit	データ入出力用 バス0上位8bit	データ入出力用 バス1下位8bit	データ入出力用 バス1上位8bit
L	データ入出力用 バス0下位8bit	データ入出力用 バス0上位8bit	データ入出力用 バス1-16bit	—
M	データ入出力用 バス0下位8bit	データ上出力用 バス0上位8bit	—	データ入出力用 バス1-16bit
N	データ入出力用 バス0-16bit	—	データ入出力用 バス1下位8bit	データ入出力用 バス1上位8bit
O	データ入出力用 バス0-16bit	—	データ入出力用 バス1-16bit	—
P	データ入出力用 バス0-16bit	—	—	データ入出力用 バス1-16bit
Q	—	データ入出力用 バス0-16bit	データ入出力用 バス1下位8bit	データ入出力用 バス1上位8bit
R	—	データ入出力用 バス0-16bit	データ入出力用 バス1-16bit	—
S	—	データ入出力用 バス0-16bit	—	データ入出力用 バス1-16bit
T	データ入出力用 バス0,1-32bit	—	—	—
U	—	データ入出力用 バス0,1-32bit	—	—

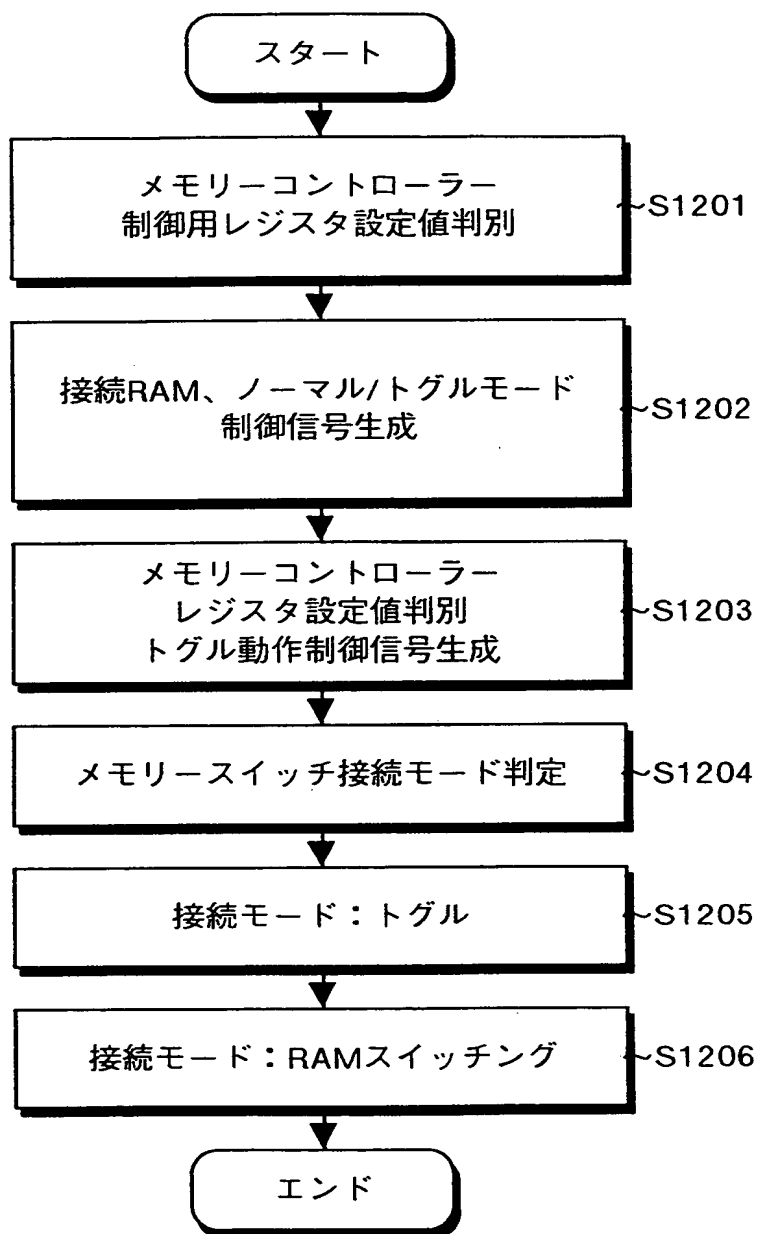
【図 1 0】

モード	レジスタ4(R4) 入出力	レジスタ5(R5) 入出力
V	データ入出力用 バス2下位8bit	データ入出力用 バス2上位8bit
W	データ入出力用 バス2-16bit	—
X	—	データ入出力用 バス2-16bit

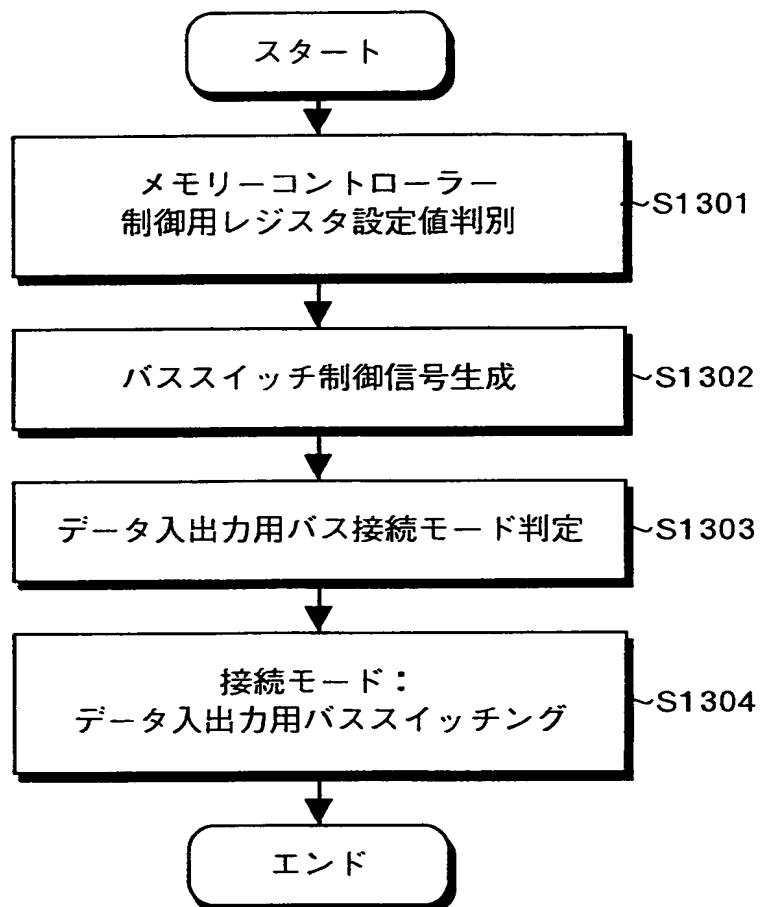
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 多機能画像処理装置の資源の有効活用を図り、システム全体として最適な制御が可能な画像処理装置を提供する。

【解決手段】 複数の画像形成動作を実現できるプログラマブルな画像処理プロセッサ 2 0 4 に、S I M D 型のデータ演算処理部 3 0 0、複数の R A M 3 0 7 およびメモリーコントローラ 3 0 5 a, 3 0 5 b, メモリースイッチ 3 0 1 a ～ 3 0 1 d を備え、メモリーコントローラ 3 0 5 a およびメモリースイッチ 3 0 1 a ～ 3 0 1 d が、複数の R A M 3 0 7 をデータ演算処理部 3 0 0 に対して選択的に接続し、複数の画像形成動作のうちの各画像形成動作にあてられるメモリー容量を変更する。

【選択図】 図 3



特平 11-353974

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー